

Docket No.: 57454-966

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Youichi TOBITA :  
Serial No.: : Group Art Unit:  
Filed: July 07, 2003 : Examiner:  
For: LIQUID CRYSTAL DISPLAY APPARATUS HAVING PIXELS WITH LOW LEAKAGE  
CURRENT

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-020498, filed January 29, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:mcw  
Facsimile: (202) 756-8087  
**Date: July 7, 2003**

日本国特許庁  
JAPAN PATENT OFFICE

57454-966

Y. TOBITA

July 7, 2003.

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 1月29日

出願番号

Application Number: 特願2003-020498

[ ST.10/C ]:

[ JP2003-020498 ]

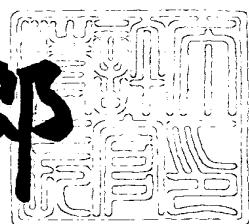
出願人

Applicant(s): 三菱電機株式会社

2003年 2月25日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3010898

【書類名】 特許願  
 【整理番号】 543043JP01  
 【提出日】 平成15年 1月29日  
 【あて先】 特許庁長官殿  
 【国際特許分類】 G09G 3/36  
 G09G 3/20  
 G02F 1/133

## 【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 飛田 洋一

## 【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

## 【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

## 【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

## 【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

## 【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項1】 行列状に配置され、各々が表示電圧に応じた輝度を表示するための複数の画素と、

前記複数の画素の行にそれぞれ対応して設けられる、複数の第1および第2の走査線と、

前記複数の画素の列にそれぞれ対応して設けられる複数のデータ線と、

前記複数の第1および第2の走査線の各々を、所定の走査周期に応じて走査対象に選択された選択状態およびそれ以外の非選択状態のそれにおいて異なる電圧へ駆動するゲート駆動回路と、

前記複数のデータ線を、前記走査対象に選択された前記画素に対応する前記表示電圧へ駆動するソース駆動回路とを備え、

前記複数の画素の各々は、

画素電極および対向電極を有し、前記画素電極および前記対向電極の電圧差に応じた輝度を出力する液晶素子と、

対応する前記データ線および第1のノードの間に電気的に接続され、対応する前記第1の走査線と電気的に接続されたゲートを有する第1の電界効果型トランジスタと、

前記第1のノードおよび前記画素電極の間に電気的に接続され、対応する前記第2の走査線と電気的に接続されたゲートを有する第2の電界効果型トランジスタとを含み、

前記ゲート駆動回路は、前記選択状態である前記第1および第2のゲート線の各々を、前記第1および第2の電界効果型トランジスタを各々ターンオン可能な第1の電圧に設定する一方で、前記非選択状態である前記第1のゲート線の電圧を前記第1の電界効果型トランジスタをターンオフ可能な第2の電圧に設定するとともに、前記非選択状態である前記第2のゲート線の電圧を前記表示電圧の最高値および最低値の中間の第3の電圧に設定する、液晶表示装置。

【請求項2】 前記対向電極は、所定の直流電圧を供給され、

前記第3の電圧は、前記所定の直流電圧と実質的に同一レベルである、請求項1記載の液晶表示装置。

【請求項3】 前記対向電極は、一定周期で第4の電圧および第5の電圧の一方に設定される交流電圧を供給され、

前記第3の電圧は、前記第4および第5の電圧の平均電圧と実質的に同じレベルである、請求項1記載の液晶表示装置。

【請求項4】 前記ゲート駆動回路は、前記行にそれぞれ対応して設けられる複数の駆動ユニットを含み、

前記複数の駆動ユニットの各々は、

対応する前記行が前記走査対象に選択されているかどうかを示す選択信号に応じて、前記対応する第1のゲート線を、前記第1および第2の電圧の一方で駆動する第1のドライバと、

前記選択信号に応じて、前記対応する第2のゲート線を、前記第1および第3の電圧の一方で駆動する第2のドライバとを有する、請求項1に記載の液晶表示装置。

【請求項5】 前記ゲート駆動回路は、前記非選択状態である第2のゲート線を、通常モードにおいて前記第3の電圧に設定する一方でテストモードにおいては第6の電圧に設定し、

前記第1および第6の電圧の差は、前記第1および第3の電圧の差より大きい、請求項1記載の液晶表示装置。

【請求項6】 前記第6の電圧は、前記第2の電圧と実質的に同じレベルである、請求項5記載の液晶表示装置。

【請求項7】 前記第1および第2の電界効果型トランジスタは、N型の薄膜トランジスタで構成され、

前記第1の電圧は、前記第2の電圧よりも高い、請求項1記載の液晶表示装置。

【請求項8】 前記第1および第2の電界効果型トランジスタは、P型の薄膜トランジスタで構成され、

前記第1の電圧は、前記第2の電圧よりも低い、請求項1記載の液晶表示装置

【請求項9】 表示電圧に応じた輝度を表示する画素と、  
前記画素へ供給される前記表示電圧を伝達するためのデータ線とを備え、  
前記画素は、  
画素電極および対向電極を有し、前記画素電極および前記対向電極の電圧差に  
応じた輝度を出力する液晶表示素子と、  
前記データ線および第1のノードの間に電気的に接続された第1の電界効果型  
トランジスタと、  
前記第1のノードおよび前記画素電極の間に電気的に接続された第2の電界効  
果型トランジスタとを含み、  
前記第1および第2の電界効果型トランジスタのゲート電圧を、前記画素が所  
定の走査周期に応じて走査対象に選択された選択状態およびそれ以外の非選択状  
態のそれぞれにおいて異なる電圧へ駆動するゲート駆動回路をさらに備え、  
前記ゲート駆動回路は、前記選択状態において、各前記ゲート電圧を、前記第  
1および第2の電界効果型トランジスタを各々ターンオン可能な第1の電圧へ設  
定する一方で、前記非選択状態において、前記第1の電界効果型トランジスタが  
ターンオフ可能な第2の電圧へ前記第1の電界効果型トランジスタのゲート電圧  
を設定するとともに、前記第2の電界効果型トランジスタのゲート電圧を前記表  
示電圧の最高値および最低値の中間の第3の電圧に設定する、液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、液晶表示装置に関し、より特定的には、ゲート絶縁型電界効果ト  
ランジスタを各画素に備えた液晶表示装置に関する。

【0002】

【従来の技術】

パーソナルコンピュータ、テレビジョン受像機、携帯電話機および携帯情報端  
末機器などのディスプレイパネルとして、液晶素子を表示画素に備えた液晶表示  
装置が用いられている。このような液晶表示装置は、従来タイプのものと比較し  
て、低消費電力化や小型軽量化の面で効果が大きい。

## 【0003】

液晶素子は、印加された電圧（以下、液晶素子へ印加された電圧を、「表示電圧」とも称する）のレベルに応じてその表示輝度が変化する。液晶表示装置のディスプレイパネルは、各々が液晶素子を備えた画素から構成され、各画素は、所定の走査周期に応じて周期的に設けられる走査期間において表示電圧を受ける。

## 【0004】

各画素は、非走査期間においては、走査期間に受けた表示電圧を保持し、保持電圧に応じた輝度を表示することになる。各画素は、データが書き込まれる、すなわち表示電圧を受ける走査期間よりも、データ（表示電圧）を保持している非走査期間のほうが圧倒的に長い。たとえば、走査線を200本持つ液晶表示装置においては、1個の画素に注目すると、非走査期間は走査期間の200倍長いことになる。このため、各画素の内部における、表示電圧の保持特性が重要となる。なぜなら、表示電圧の保持特性が低いと高周波数での走査が必要となり、消費電力が増大するからである。

## 【0005】

一般的に、画素は、ガラス基板上あるいは半導体基板上にTFT（Thin Film Transistor）素子等を用いて構成される。したがって、非走査期間において当該TFT素子に生じるリーク電流によって保持している表示電圧のレベルが低下することにより、上記の保持特性が低下する。

## 【0006】

このような非走査期間のリーク電流を抑制するために、各画素において、複数のTFT素子を直列に接続して、TFT素子に加わる電圧（ソース・ドレイン間電圧）を分割することにより、リーク電流を抑制する構成が特許文献1に開示されている。

## 【0007】

## 【特許文献1】

特開平5-127619号公報（第2頁、第4図）

## 【0008】

## 【発明が解決しようとする課題】

しかしながら、特許文献1の図4に示された画素の構成によっても、表示電圧が高くなるとリーク電流を抑制することが困難になる。また、非走査期間において、TFT素子を強力に逆バイアスするようにゲート電圧を制御する構成も知られているが、この場合にはゲート絶縁膜への電圧ストレスが大きくなるため、当該絶縁膜の信頼性が問題となってしまう。

## 【0009】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、非走査期間（データ保持期間）における電界効果型トランジスタ（TFT素子）について、ゲート絶縁膜の破壊を防止するとともにリーク電流を抑制可能な画素を備えた液晶表示装置を提供することである。

## 【0010】

## 【課題を解決するための手段】

この発明に従う液晶表示装置は、行列状に配置され、各々が表示電圧に応じた輝度を表示するための複数の画素と、複数の画素の行にそれぞれ対応して設けられる、複数の第1および第2の走査線と、複数の画素の列にそれぞれ対応して設けられる複数のデータ線と、複数の第1および第2の走査線の各々を、所定の走査周期に応じて走査対象に選択された選択状態およびそれ以外の非選択状態のそれにおいて異なる電圧へ駆動するゲート駆動回路と、複数のデータ線を、走査対象に選択された画素に対応する表示電圧へ駆動するソース駆動回路とを備え、複数の画素の各々は、画素電極および対向電極を有し、画素電極および対向電極の電圧差に応じた輝度を出力する液晶素子と、対応するデータ線および第1のノードの間に電気的に接続され、対応する第1の走査線と電気的に接続されたゲートを有する第1の電界効果型トランジスタと、第1のノードおよび画素電極の間に電気的に接続され、対応する第2の走査線と電気的に接続されたゲートを有する第2の電界効果型トランジスタとを含み、ゲート駆動回路は、選択状態である第1および第2のゲート線の各々を、第1および第2の電界効果型トランジスタを各々ターンオン可能な第1の電圧に設定する一方で、非選択状態である第1のゲート線の電圧を第1の電界効果型トランジスタをターンオフ可能な第2の電圧に設定するとともに、非選択状態である第2のゲート線の電圧を表示電圧の最

高値および最低値の中間の第3の電圧に設定する。

【0011】

この発明の他の構成に従う液晶表示装置は、表示電圧に応じた輝度を表示する画素と、画素へ供給される表示電圧を伝達するためのデータ線とを備え、画素は、画素電極および対向電極を有し、画素電極および対向電極の電圧差に応じた輝度を出力する液晶表示素子と、データ線および第1のノードの間に電気的に接続された第1の電界効果型トランジスタと、第1のノードおよび画素電極の間に電気的に接続された第2の電界効果型トランジスタとを含み、液晶表示装置は、第1および第2の電界効果型トランジスタのゲート電圧を、画素が所定の走査周期に応じて走査対象に選択された選択状態およびそれ以外の非選択状態のそれぞれにおいて異なる電圧へ駆動するゲート駆動回路をさらに備え、ゲート駆動回路は、選択状態において、各ゲート電圧を、第1および第2の電界効果型トランジスタを各々ターンオン可能な第1の電圧へ設定する一方で、非選択状態において、第1の電界効果型トランジスタがターンオフ可能な第2の電圧へ第1の電界効果型トランジスタのゲート電圧を設定するとともに、第2の電界効果型トランジスタのゲート電圧を表示電圧の最高値および最低値の中間の第3の電圧に設定する。

【0012】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳しく説明する。

【0013】

【実施の形態1】

(液晶表示装置の全体構成)

図1は、本発明の実施の形態に従う液晶表示装置の全体構成を示すブロック図である。

【0014】

図1を参照して、本発明に従う液晶表示装置5は、液晶アレイ部20と、ゲート駆動回路30と、ソース駆動回路40とを備える。液晶アレイ部20は、行列状に配された複数の画素10を含む。画素の行(「画素行」とも以下称する)の

各々に対応して、第1のゲート線G L および第2のゲート線G L #が配置される。また、画素の列（「画素列」とも以下称する）のそれぞれに対応して、データ線D L しがそれぞれ設けられる。図1には、第1行の第1列および第2列の画素ならびにこれに対応するゲート線G L 1, G L 1 #およびデータ線D L 1, D L 2が代表的に示されている。

## 【0015】

ゲート駆動回路30は、所定の走査周期に基づいて、各ゲート線G L, G L #を走査期間において選択状態に設定し、それ以外の非走査期間において非選択状態に設定するように、各ゲート線G L, G L #の電圧を制御する。各ゲート線G L およびG L #は、選択状態および非選択状態のそれぞれにおいて異なる電圧へ駆動される。また、各画素行において、ゲート線G L およびG L #は、独立に制御可能である。

## 【0016】

ソース駆動回路40は、Nビット（N：自然数）のデジタル信号である表示信号S I Gによって段階的に設定される表示電圧をデータ線D Lに出力する。図1には、N=6の場合、すなわち、表示信号S I Gが表示信号ビットD 0～D 5からなる場合の構成について代表的に示されている。

## 【0017】

6ビットの表示信号に基づいて、各画素10において、 $2^6 = 64$ 段階の階調的な輝度表示が可能となる。さらに、R（R e d）、G（G r e e n）およびB（B l u e）の各1つの画素から1つのカラー表示単位を形成すれば、約26万色のカラー表示が可能となる。

## 【0018】

ソース駆動回路40は、シフトレジスタ50と、データラッチ回路52, 54と、階調電圧生成回路60と、デコード回路70と、アナログアンプ80とを含む。

## 【0019】

表示信号S I Gは、画素10ごとの表示輝度に対応してシリアルに生成される。すなわち、各タイミングにおける表示信号ビットD 0～D 5は、液晶アレイ部

20中の1つの画素10における表示輝度を示している。

【0020】

シフトレジスタ50は、表示信号SIGの設定が切換えられる所定周期に同期したタイミングで、データラッチ回路52に対して、表示信号ビットD0～D5の取込を指示する。データラッチ回路52は、シリアルに生成される1つの画素行分の表示信号SIGを、順に取込んで保持する。

【0021】

1つの画素行分の表示信号SIGがデータラッチ回路52に取込まれたタイミングで、ラッチ信号LTの活性化に応答して、データラッチ回路52にラッチされた表示信号群は、データラッチ回路54に伝達される。

【0022】

階調電圧生成回路60は、高電圧VHおよび低電圧VLの間に直列に接続された64個の分圧抵抗で構成され、64段階の階調電圧V1～V64を階調電圧ノードN1～N64にそれぞれ生成する。

【0023】

デコード回路70は、データラッチ回路54にラッチされた表示信号をデコードして、当該デコードに基づいて階調電圧V1～V64を選択する。デコード回路70は、選択された階調電圧(V1～V64のうちの1つ)を表示電圧としてデコード出力ノードNdに生成する。本実施の形態においては、デコード回路70は、データラッチ回路54にラッチされた表示信号に基づいて、1行分の表示電圧を並列に出力する。なお、図1においては、第1列目および第2列目のデータ線DL1, DL2に対応するデコード出力ノードNd1, Nd2が代表的に示されている。

【0024】

アナログアンプ80は、デコード出力ノードNd1, Nd2, …へ出力された表示電圧にそれぞれ対応したアナログ電圧をデータ線DL1, DL2, …にそれぞれ出力する。

【0025】

なお、図1には、ゲート駆動回路30およびソース駆動回路40が液晶アレイ

部20と一体的に形成された液晶表示装置5の構成を例示したが、ゲート駆動回路30およびソース駆動回路40については、液晶アレイ部20の外部回路として設けることも可能である。

## 【0026】

(従来の構成の画素におけるリーク電流の抑制技術)

次に、本願発明に従う画素と比較するために、従来の画素構成およびリーク電流の抑制について説明する。

## 【0027】

図2は、従来の技術に従う画素の第1の構成例を示す等価回路図である。

図2に示した画素10#は、図1に示した液晶表示装置5の液晶アレイ部20において、画素10に代えて用いることができる。ただし、従来の画素10#では、1種類のゲート線GLのみを必要とするので、この場合には液晶アレイ部20におけるゲート線GL#の配置は必要ない。

## 【0028】

図2を参照して、画素10#は、液晶素子12と、保持容量14と、N型TFT素子16, 18とを含む。液晶素子12は、画素電極ノードNpおよび対向電極ノードNcの間に接続され、画素電極ノードNpおよび対向電極ノードNcの電圧差に応じた輝度を出力する。対向電極ノードNcは、液晶アレイ部20内の複数の画素間で共有され、所定の共通電圧VCOMを供給される。ノードNaは、N型TFT素子16および18の接続ノードに相当する。

## 【0029】

なお、以下本明細書においては、画素電極ノードNpおよび対向電極ノードNcの電圧差が大きいほど輝度が小さくなるものとする。すなわち、最小輝度表示(黒表示)時に、画素電極ノードNpの電圧(表示電圧)と共通電圧VCOMとの電圧差は最大となり、最大輝度表示(白表示)時においては、表示電圧は共通電圧VCOMと同等レベルである。

## 【0030】

保持容量14は、画素電極ノードNpの電圧を保持するために設けられ、画素電極ノードNpと所定電圧VSSを供給するノードとの間に接続される。なお、

所定電圧VSSは、一定電圧であればよく、共通電圧VCOMとすることもできる。

【0031】

N型TFT素子16および18は、ゲート絶縁型の電界効果型トランジスタの代表例として示され、一般的には、液晶素子12と同一の絶縁体基板（ガラス基板・樹脂基板等）上に形成される。N型TFT素子16および18は、対応のデータ線DLおよび画素電極ノードNpの間に直列に接続され、各々のゲートは対応のゲート線GLと接続される。対応するゲート線GLが選択状態（ハイレベル電圧）に設定された走査期間中において、N型TFT素子16および18がターンオンして、対応のデータ線DLと画素電極ノードNpとは接続される。これにより、ソース駆動回路40からデータ線DLを介して画素電極ノードNpへ表示電圧が書き込まれ、書き込まれた表示電圧は、保持容量14によって保持される。

【0032】

対応するゲート線GLが非選択状態（ローレベル電圧）に設定された非走査期間中において、N型TFT素子16および18は、ターンオフされる。既に説明したように、データ線DLと画素電極ノードNpとの間に複数個のTFT素子を直列接続することによって、ターンオフされた各TFT素子のソース・ドレイン間電圧が低減されるので、そのオフリーケ電流も抑制される。なお、TFT素子の個数は、リーク電流のレベルに応じて、1個あるいは任意の複数個とすることができます。

【0033】

次に、画素10#の動作について説明する。

液晶素子の焼付きを防止するために、液晶素子は一般に交流駆動される。たとえば、共通電圧VCOMを一定の直流電圧とした上で、最小輝度（黒表示）に対応する表示電圧は、共通電圧VCOMを基準にして低電圧側および高電圧側の一方に、一定の周期で切換えて定義される。

【0034】

すなわち、黒表示をするために必要な画素電極ノードNpおよび対向電極ノードNcの電圧差をVDとすると、表示電圧の最高値および最低値は、下記（1）

および(2)式に示される $V_{DH\max}$ または $V_{DL\min}$ で表現される。表示電圧は、データ線によって伝達されるため、 $V_{DH\max}$ および $V_{DL\min}$ は、データ線DLの最高電圧および最低電圧にもそれぞれ相当する。

## 【0035】

$$V_{DH\max} = V_{COM} + V_D \quad \dots (1)$$

$$V_{DL\min} = V_{COM} - V_D \quad \dots (2)$$

ここで、(1) - (2)式より、下記(3)式が得られる。

## 【0036】

$$V_{DH\max} = V_{DL\min} + 2 \cdot V_D \quad \dots (3)$$

リーク電流は、画素電極ノード $N_p$ およびデータ線DL間の電圧差が大きいほど流れやすい。非走査期間(データ保持期間)において、たとえば、画素電極ノード $N_p$ が表示電圧として $V_{DH\max}$ を保持し、一方でデータ線DLが $V_{DL\min}$ を伝達しているときに、リーク電流は最も発生しやすい。

## 【0037】

リーク電流を抑制するためには、N型TFT素子16, 18のゲート電圧をソース電圧よりも低くして、これらのTFT素子をより強力にターンオフすることが必要である。このため、データ線DLの最低電圧 $V_{DL\min}$ を考慮すれば、非走査期間すなわち非選択状態におけるゲート線電圧 $V_{GL}$ は、下記(4)式のように設定する必要がある。

## 【0038】

$$V_{GL} = V_{DL\min} - V_m \quad \dots (4)$$

ここで、(4)式中の $V_m$ は、TFT素子を確実にターンオフするためのマージン電圧である。

## 【0039】

一方、表示電圧 $V_{DH\max}$ を保持している画素電極ノード $N_p$ の電圧は、上記(3)式より、 $V_{Np\max} = V_{DL\min} + 2 \cdot V_D$ となる。したがって、ゲート線 $GL$ と画素電極ノード $N_p$ との間の電圧、すなわちN型TFT素子18のゲート・ドレイン間 $V_{GD}$ は、以下(5)式で最大となる。

## 【0040】

$$\begin{aligned}
 VGD &= VGL - VN_{p\max} \\
 &= VDL_{\min} - Vm - (VDL_{\min} + 2 \cdot VD) \\
 &= -Vm - 2 \cdot VD \quad \cdots (5)
 \end{aligned}$$

一般的な数値として、 $Vm = 2$  (V) および  $VD = 5$  (V) とすると、(5) 式より  $VGD = -12$  (V) となる。この電圧差は、液晶表示装置の内部回路群の動作電圧が、一般的に 7~8 (V) であることと比較すると、かなり大きいレベルである。この電圧差は、非走査期間において N 型 TFT 素子 18 のゲート・ソース間に連続的に印加される。

## 【0041】

なお、走査期間すなわち選択状態におけるゲート線電圧  $VGH$  は、データ線の最高電圧  $VDH_{\max}$  を伝達するために下記 (6) 式の範囲で設定する必要がある。

## 【0042】

$$VGH > VDH_{\max} + Vth \quad \cdots (6)$$

なお、(6) 式中の  $Vth$  は、N 型 TFT 素子 16, 18 のしきい値電圧である。

## 【0043】

また、従来の画素構成において、データ線  $DL$  の電圧振幅を小さくして低消費電力化を図るために、対向電極ノード  $Nc$  の共通電圧  $VCOM$  を交流電圧とする構成が知られている。

## 【0044】

図 3 は、従来の技術に従う画素の第 2 の構成例を示す等価回路図である。

図 3 を参照して、従来の画素 11 # は、図 2 に示した従来の画素 10 # と同様に、図 1 中の液晶アレイ部 20 において、画素 10 に代えて用いることができる。画素 11 # を適用する場合においても、1 種類のゲート線  $GL$  のみを必要とするので、液晶アレイ部 20 におけるゲート線  $GL$  # の配置は必要ない。

## 【0045】

図 3 を参照して、従来の画素 11 # は、図 2 に示した画素 10 # と比較して、保持容量 14 が画素電極ノード  $Np$  および対向電極ノード  $Nc$  の間に接続される

点が異なる。また、対向電極ノードNcは、一定の直流電圧ではなく、所定周期ごとに低電圧VCOMLおよび高電圧VCOMHの一方に交互に設定される交流電圧を供給される。なお、この交流電圧の振幅は上述の所定電圧VDに相当する。すなわち、 $VCOMH - VCOML = VD$ と示される。

## 【0046】

図3に示す画素においては、対向電極ノードNcが低電圧VCOMLに設定されている期間には、最小輝度表示（黒表示）時には、 $VCOML + VD$ に設定され、最大輝度表示（白表示）時には、表示電圧はVCOMLに設定される。これに対して、対向電極ノードNcが高電圧VCOMHに設定されている期間には、最小輝度表示（黒表示）時には、 $VCOMH - VD$ に設定され、最大輝度表示（白表示）時には、表示電圧はVCOMHに設定される。

## 【0047】

したがって、データ線電圧を考慮すると、データ線での最高電圧 $VDH_{max}$ および最低電圧 $VDL_{min}$ は、下記(7)および(8)式のようになる。

## 【0048】

$$VDH_{max} = VCOML + VD \quad \cdots (7)$$

$$VDL_{min} = VCOMH - VD \quad \cdots (8)$$

(7) - (8)式より、(9)式が得られる。

## 【0049】

$$\begin{aligned} VDH_{max} &= VDL_{min} + 2 \cdot VD - (VCOMH - VCOML) \\ &= VDL_{min} + 2 \cdot VD - VD \\ &= VDL_{min} + VD \quad \cdots (9) \end{aligned}$$

(9)式を(3)式と比較すると、図3の画素11#を用いた液晶表示装置では、画素10#で構成される液晶表示装置よりも、データ線の最高電圧がVD分だけ小さくできる。この結果、低消費電力化を図ることができる。

## 【0050】

対向電極ノードNcは、通常すべての液晶素子間で共通に接続されるので、対向電極の電圧が変化したとき、すべての対向電極ノードの電圧が同時に変化する。したがって、このときデータ保持状態（非走査期間）である画素の画素電極ノ

ードN<sub>p</sub>は、対向電極ノードN<sub>c</sub>の変化分（すなわちV<sub>D</sub>分）だけ、その電圧が変化する。

## 【0051】

この結果、V<sub>DHmax</sub>の表示電圧を保持している画素電極ノードの電圧は、下記（10）式のようになる。

## 【0052】

$$VN_{pmax} = VDH_{max} + VD \quad \dots (10)$$

他方、V<sub>DLmin</sub>の表示電圧を保持している画素電極ノードN<sub>p</sub>の電圧は、下記（11）式のようになる。

## 【0053】

$$N_{pmin} = VDL_{min} - VD \quad \dots (11)$$

（11）式は、N型TFT素子16, 18のソース電圧が負方向へ低下していくことにする。これは、N型TFT素子16, 18がターンオンする方向の電圧変化である。これを防止するためには、共通電圧V<sub>COM</sub>の変化分だけ、非選択状態におけるゲート線電圧V<sub>GL</sub>を低下させる必要がある。

## 【0054】

したがって、画素11#を備える液晶表示装置においては、リーク電流抑制のために、非選択状態のゲート線電圧V<sub>GL</sub>を下記（12）式とする必要がある。

## 【0055】

$$V_{GL} = VDL_{min} - Vm - VD \quad \dots (12)$$

この結果、N型TFT素子18のゲート・ドレイン間電圧V<sub>GD</sub>の最大値は、下記（13）式で与えられる。

## 【0056】

$$\begin{aligned} V_{GD} &= V_{GL} - VN_{pmax} \\ &= VDL_{min} - Vm - VD - (VDH_{max} + VD) \\ &= VDL_{min} - VDH_{max} - 2 \cdot VD - Vm \quad \dots (13) \end{aligned}$$

ここで、一般的な数値として、V<sub>DHmax</sub>=5(V)、V<sub>D</sub>=5(V)、V<sub>m</sub>=2(V) およびV<sub>DLmin</sub>=0(V) とすると、V<sub>GD</sub>=-17(V) となり、図2での画素10#の場合と比較してさらに大きな電圧が、非走査期間に

においてN型TFT素子18のゲート・ドレイン間に連続的に印加されてしまう。

【0057】

なお、走査期間すなわち選択状態におけるゲート線電圧VGHは、データ線の最高電圧VDLmaxを伝達するために上述の(6)式に基づいて設定される。

【0058】

一般的に知られているように、TFT素子をはじめとする電界効果型トランジスタは、絶縁膜によってチャネル領域から分離されたゲートに電圧を印加して、そのオンおよびオフを制御する。このゲート直下の絶縁膜（ゲート絶縁膜）が絶縁破壊を生じると、ゲートとチャネル領域とが短絡されて大きな電流が流れるため、ゲート絶縁膜の信頼性を十分に考慮する必要がある。

【0059】

ゲート絶縁膜に印加される電圧そのものは、選択状態でのゲート線電圧VGHのほうが大きいので、走査期間における電圧VGHに耐えられる様に、TFT素子のゲート絶縁膜は設計される。しかしながら、瞬時値としては耐圧範囲内であっても、比較的大きな電圧ストレスがゲート絶縁膜に長期間印加されると、累積された電圧ストレスによって、ゲート絶縁膜の破壊が生じる場合がある。このような現象は、ゲート絶縁膜の経時絶縁破壊 (Time Dependent Dielectric Breakdown: TDDDB) として知られている。

【0060】

したがって、(5), (13)式に示された、画素10#, 11#中のTFT素子18のデータ保持期間（非走査期間）におけるゲート・ドレイン間電圧の最大値はゲート絶縁膜の耐圧以下ではあるものの、この電圧ストレスをより軽減することが望ましい。

【0061】

（実施の形態1に従う画素の構成）

次に、データ保持期間におけるTFT素子の電圧ストレスを抑制した、実施の形態1に従う画素の構成例について説明する。

【0062】

図4は、実施の形態1に従う画素の構成例を示す等価回路図である。

図4を参照して、図1に示された実施の形態1の画素10は、図2で示した画素10#と比較して、N型TFT素子18および画素電極ノードNpの間に接続されたN型TFT素子19をさらに含む点で異なる。N型TFT素子19のゲートは、ゲート線GL#と接続される。ノードNbは、N型TFT素子18および19の接続ノードに相当する。

## 【0063】

図1にも示されるように、各画素行において、N型TFT素子16および18の各ゲートが接続されるゲート線GLと、N型TFT素子19のゲートが接続されるゲート線GL#とは独立の配線として設けられる。また、対向電極ノードNcの共通電圧VCOMは、図2の画素10#と同様に、一定の直流電圧として供給される。

## 【0064】

図5は、図1に示されたゲート駆動回路30中の、ゲート線GL, GL#の電圧制御部分の構成を示す概念図である。図5には、各画素行に対応して設けられるゲート駆動ユニット100の構成が代表的に示される。

## 【0065】

図5を参照して、ゲート駆動ユニット100は、共通のゲート線選択信号GSsに応答して、ゲート線GLの電圧を駆動するゲート線ドライバ110と、ゲート線GL#の電圧を駆動するゲート線ドライバ120とを有する。ゲート線選択信号GSSは、対応する画素行が走査対象に選択された場合にローレベルに設定され、その以外の非選択時には、ハイレベルに設定される。

## 【0066】

ゲート線ドライバ110は、対応する画素行の選択時には、ゲート線GLを電圧VGHへ駆動して選択状態に設定する一方で、対応する画素行の非選択時には、ゲート線GLを低電圧VGLへ駆動して非選択状態に設定する。

## 【0067】

ゲート線ドライバ120は、対応する画素行の選択時には、ゲート線GL#を高電圧VGHへ駆動して選択状態に設定する一方で、対応する画素行の非選択時には、ゲート線GL#を中間電圧VGMへ駆動して非選択状態に設定する。

## 【0068】

図6は、ゲート線ドライバ110および120の具体的構成例を示す回路図である。

## 【0069】

図6を参照して、ゲート線ドライバ110は、CMOSインバータで構成され、高電圧VGHの供給ノードと対応のゲート線GLとの間に接続されたP型TFT素子112と、ゲート線GLと低電圧VGLの供給ノードとの間に接続されたN型TFT素子114とを有する。TFT素子112および114の各ゲートには、ゲート線選択信号GSSが入力される。

## 【0070】

同様に、ゲート線ドライバ120は、CMOSインバータで構成され、高電圧VGHの供給ノードと対応のゲート線GL#との間に接続されたP型TFT素子122と、ゲート線GL#と中間電圧VGMの供給ノードとの間に接続されたN型TFT素子124とを有する。TFT素子122および124の各ゲートには、ゲート線ドライバ110と共通のゲート線選択信号GSSが入力される。

## 【0071】

このように、各画素行において、ゲート線GLおよびGL#は、選択状態では、データ線DL上の最高電圧VDH<sub>max</sub>を画素電極ノードN<sub>p</sub>に伝達できるように、画素10#における(6)式に従って、N型TFT素子16, 18, 19を十分ターンオン可能な高電圧VGHに設定される。

## 【0072】

一方、非選択状態においては、ゲート線GLが低電圧VGLに設定されるのにに対して、ゲート線GL#は、高電圧VGHおよび低電圧VGLの中間電圧VGM (VGH>VGM>VGL) に設定される。

## 【0073】

図4を再び参照して、データ保持期間(非走査期間)において、すなわち非選択状態のゲート線GLおよびGL#については、ゲート線GLがリーク電流抑制のために、画素10#における(4)式と同様のゲート線電圧VGLに設定される一方で、ゲート線VGL#は、TFT素子18へのゲート・ドレイン間電圧を

抑制するために、中間電圧VGMに設定される。

## 【0074】

画素電極ノードNpと接続されるN型TFT素子19に対しては、表示電圧がVDHmaxまたはVDLminとなる黒表示時に、最も大きな電圧ストレスが印加される。したがって、これらの両方の表示電圧に対してゲート絶縁膜への電圧ストレスをなるべく小さくするためには、中間電圧VGMを、データ線DLの最高電圧VDHmaxおよび最低電圧VDLmin、すなわち表示電圧の最高値および最低値の中間レベル、好ましくは両者の平均値に設定する必要がある。したがって、中間電圧VGMは(14)式に示すように設定することが望ましい。

## 【0075】

$$\begin{aligned} VGM &= (VDH_{max} - VDL_{min}) / 2 + VDL_{min} \\ &= (VDH_{max} + VDL_{min}) / 2 = VCOM \quad \dots (14) \end{aligned}$$

これにより、画素電極ノードNpが表示電圧VDHmaxを保持するとき、データ保持期間におけるN型TFT素子19のゲート・ドレイン間電圧VGDは、下記(15)式で最大となる。

## 【0076】

$$\begin{aligned} VGD &= VGM - VN_{pmax} \\ &= VCOM - (VCOM + VD) = -VD \quad \dots (15) \end{aligned}$$

同様に、画素電極ノードNpが表示電圧VDLminを保持するとき、データ保持期間におけるN型TFT素子19のゲート・ドレイン間電圧VGDは、下記(16)式で最大となる。

## 【0077】

$$\begin{aligned} VGD &= VGM - VN_{pmin} \\ &= VCOM - (VCOM - VD) = VD \quad \dots (16) \end{aligned}$$

(15)および(16)式に(5)式と同様の数値を代入すると、 $|VGD| = 5$  (V)となり、非走査期間に連続的に印加されるTFT素子19のゲート絶縁膜への電圧ストレスは、同条件で $|VGD| = 12$  (V)となる、画素10#中のN型TFT素子18と比較して軽減される。

## 【0078】

さらに、このようなN型TFT素子19を設けることによって、N型TFT素子18のドレインすなわちノードNbおよびデータ線DLの電圧差は、データ線DLおよび画素電極ノードNpの電圧差よりも小さくなる。この結果、非走査期間にN型TFT素子16および18に加わるソース・ドレイン間電圧は、図2の画素10よりも小さくなる。また、非選択状態でのゲート線GLは、図2の画素10#と同様に低電圧VGLに設定されるので、画素10では従来の画素10#と比較して、データ保持期間において、画素電極ノードNpおよびデータ線DL間のリーク電流を抑制するとともに、かつ、N型TFT素子18のゲート絶縁膜への電圧ストレスを軽減して、その動作信頼性を向上できる。

## 【0079】

以上説明したように、実施の形態1に従う画素10の構成によれば、図2に示した画素10#よりもリーク電流を抑制した上で、データ保持期間におけるTFT素子のゲート絶縁膜の電圧ストレスを軽減できる。

## 【0080】

この結果、各画素における表示電圧の保持特性を改善して、走査周期を長くすることによる低消費電力化や輝度変動の抑制による表示品位向上を図るとともに、TFT素子の動作信頼性を向上することができる。

## 【0081】

なお、図4では、ゲート線GLと接続されたゲートを有する2個のN型TFT素子16, 18と、ゲート線GL#と接続されたゲートを有する1個のN型TFT素子19がデータ線DLおよび画素電極ノードNpの間に直列に接続される構成例を示したが、これらのTFT素子は、許容されるリーク電流および回路面積を考慮して、それぞれ1個または任意の複数個とすることができます。

## 【0082】

## 【実施の形態2】

図7は、実施の形態2に従う画素の構成例を示す等価回路図である。

## 【0083】

図7に示した画素11は、図1に示した全体図において、画素10に代えて適用することができる。

## 【0084】

図7を参照して、実施の形態2に従う画素11は、図6に示した実施の形態1の画素10と比較して、保持容量14が画素電極ノードNpと対向電極ノードNcとの間に接続される点が異なる。さらに、対向電極ノードNcの共通電圧VCOMは、図3の画素11#と同様に、低電圧VCOMLまたは高電圧VCOMHに一定周期で交互に設定される振幅VDの交流電圧として供給される。すなわち、画素11は、図3に示した従来の画素11#に対して、N型TFT素子19をさらに附加した構成となっている。

## 【0085】

図4に示した画素10と同様に、N型TFT素子16, 18の各ゲートはゲート線GLと接続され、N型TFT素子19のゲートは別のゲート線GL#と接続されている。ゲート線GL, GL#の電圧は、実施の形態1における図5および図6に示した構成によって同様に制御されるので詳細な説明は繰返さない。

## 【0086】

なお、画素11において、表示電圧としてVDHmaxを保持している画素電極ノードNpの電圧は、共通電圧VCOMのVD分の変化に応答して、VDHmax+VDに変化する。他方、VDLminを保持している画素電極ノードNpの電圧は、共通電圧VCOMの変化に応答して、VDLmin-VDに変化する。したがって、実施の形態2に従う構成においては、非選択状態におけるゲート線GL#の電圧に相当する中間電圧VGMは、これらの電圧の平均値となるよう下記(17)式に設定することが好ましい。

## 【0087】

$$\begin{aligned}
 VGM &= [(VDH_{max} + VD) + (VDL_{min} - VD)] / 2 \\
 &= (VDH_{max} + VDL_{min}) / 2 \\
 &= (VCOMH + VCOML) / 2 \quad \dots (17)
 \end{aligned}$$

これにより、画素電極ノードNpが表示電圧VDHmaxを保持するとき、データ保持期間におけるN型TFT素子19のゲート・ドレイン間電圧VGDは、下記(18)式で最大となる。

## 【0088】

$$\begin{aligned}
 VGD &= VGM - VN_{p\max} \\
 &= (VCOMH + VCOML) / 2 - (VDL_{max} + VD) \\
 &= (VCOMH + VCOML) / 2 - (VCOML + 2 \cdot VD) \\
 &= (VCOMH - VCOML) / 2 - 2 \cdot VD = -1.5 \cdot VD \dots (18)
 \end{aligned}$$

同様に、画素電極ノードN<sub>p</sub>が表示電圧VDL<sub>min</sub>を保持するとき、データ保持期間におけるN型TFT素子19のゲート・ドレイン間電圧VGDは、下記(19)式で最大となる。

## 【0089】

$$\begin{aligned}
 VGD &= VGM - VN_{p\min} \\
 &= (VCOMH + VCOML) / 2 - (VDL_{min} - VD) \\
 &= (VCOMH + VCOML) / 2 - (VCOMH - 2 \cdot VD) \\
 &= - (VCOMH - VCOML) / 2 + 2 \cdot VD = 1.5 \cdot VD \dots (19)
 \end{aligned}$$

(18) および (19) 式に (5) 式と同様の数値を代入すると、|VGD| = 7.5 (V) となり、非走査期間に連続的に印加されるTFT素子19のゲート絶縁膜への電圧ストレスは、同条件で|VGD| = 17 (V) となる画素10#中のN型TFT素子18と比較して軽減される。

## 【0090】

また、実施の形態1に従う画素10と同様に、N型TFT素子19を設けることによって、N型TFT素子18のドレインすなわちノードN<sub>b</sub>およびデータ線DLの電圧差は、データ線DLおよび画素電極ノードN<sub>p</sub>の電圧差よりも小さくなる。したがって、画素11では画素11#と比較して、データ保持期間において、画素電極ノードN<sub>p</sub>およびデータ線DL間のリーク電流を抑制するとともに、かつ、N型TFT素子18のゲート絶縁膜への電圧ストレスを軽減して、その動作信頼性を向上できる。

## 【0091】

このように、実施の形態2に従う構成によれば、図3に示した画素11#と同様にデータ線電圧振幅の抑制による低消費電力化を図った上で、データ保持期間において、リーク電流を抑制するとともにTFT素子のゲート絶縁膜の電圧ストレスを軽減できる。

## 【0092】

この結果、実施の形態1に従う構成と同様に、各画素における表示電圧の保持特性を改善して、走査周期を長くすることによる低消費電力化や輝度変動の抑制による表示品位向上を図るとともに、TFT素子の動作信頼性を向上することができる。

## 【0093】

なお、図7に示した実施の形態2に従う画素においても、ゲート線GLと接続されたゲートを有するTFT素子および、ゲート線GL#と接続されたゲートを有するTFT素子は、それぞれ1個または任意の複数個とすることができます。

## 【0094】

また、図4および図7では、N型TFT素子16, 18および19を用いた構成例を例示したが、これらのTFT素子の一部または全部をP型TFT素子に置換して、実施の形態1および2に従う画素を構成することも可能である。この場合には、P型TFT素子のゲートと接続されるゲート線GL, GL#の電圧設定の極性を反転すればよい。具体的には、上述した低電圧VGLおよび高電圧VGHを、トランジスタ特性を考慮してP型TFT素子を十分にターンオンおよびターンオフ可能な電圧に設定した上で、ゲート線GLについては、選択状態に低電圧VGLへ駆動し、かつ、非選択状態に高電圧VGHに駆動すればよく、ゲート線GL#については、非選択状態に低電圧VGLへ駆動し、かつ、非選択状態を中間電圧VGMへ駆動すればよい。

## 【0095】

## [実施の形態3]

実施の形態1および実施の形態2においては、非選択状態にゲート電圧が中間電圧VGMに設定されるTFT素子をリーク電流経路内に設けることにより、リーク電流の抑制とTFT素子のゲート絶縁膜の保護とを両立する画素の構成について説明した。

## 【0096】

しかしながら、このような構成は、通常動作時にはTFT素子を保護する観点からは望ましいものの、通常動作時よりも大きなストレスを意図的に印加して、

欠陥をスクリーニングを実行するための加速試験（バーンイン試験）においては、当該TFT素子に所望のストレスを与えることができない。当該バーンイン試験においては、通常動作時よりも厳しい条件、すなわち高温かつ大きな電圧ストレスを所定時間印加して動作試験が行なわれる所以、効率的に試験するためには、短時間で十分な電圧ストレスを与えることが可能な構成とすることが望ましい。

## 【0097】

実施の形態3においては、バーンイン試験時において、十分な電圧ストレスを印加できるように駆動電圧を切換可能なゲート線ドライバの構成について説明する。

## 【0098】

図8は、実施の形態3に従うゲート線ドライバの構成を説明する回路図である。

## 【0099】

図8を参照して、実施の形態3に従う構成においては、図5に示したゲート線 $GL\#$ 用のゲート線ドライバ120に対して、スイッチ回路130が設けられる。スイッチ回路130は、モード選択信号MDSに応答して動作するスイッチ132および134を含む。通常動作時には、スイッチ132がオンして中間電圧VGMをゲート線ドライバ120に与えるとともにスイッチ134はオフされる。これに対して、バーンイン試験が実行されるテストモード時には、スイッチ134がオンして低電圧VGLをゲート線ドライバ120に与えるとともにスイッチ132はオフされる。

## 【0100】

このような構成とすることにより、ゲート線ドライバ120は、ゲート線選択信号GSSに応答して、通常動作時には、選択状態のゲート線 $GL\#$ を高電圧VGHに駆動するとともに、非選択状態のゲート線 $GL\#$ を中間電圧VGMに駆動する。一方、テストモードにおいては、ゲート線ドライバ120は、ゲート線選択信号GSSに応答して、選択状態のゲート線 $GL\#$ を高電圧VGHに駆動するとともに、非選択状態のゲート線 $GL\#$ をゲート線GLと同様に低電圧VGL

に駆動する。

#### 【0101】

この結果、N型TFT素子19のゲートと接続されるゲート線GL#について、テストモード時における選択状態と非選択状態との電圧差（VGH-VGL）は、通常モード時における選択状態と非選択状態との電圧差（VGH-VGM）よりも大きくなる。

#### 【0102】

なお、実施の形態3では、ゲート線GL#用のゲート線ドライバ120に対してスイッチ回路130が設けられる点以外の構成については、実施の形態1または2と同様であるので、詳細な説明は繰り返さない。

#### 【0103】

このような構成とすることにより、実施の形態3に従う構成においては、通常動作時においては実施の形態1および2で説明した効果を享受するとともに、テストモード時には、N型TFT素子19に対して十分な電圧ストレスを短時間で印加して効率的にバーンイン試験を実行することができる。

#### 【0104】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0105】

##### 【発明の効果】

以上説明したように、この発明に従う液晶表示装置では、各画素において、データ線と画素電極との間に、ゲート電圧をそれぞれ独立に制御可能な複数のTFT素子を直列に接続することによって、非走査期間におけるTFT素子のオフリード電流の抑制およびゲート絶縁膜の電圧ストレス低減を図ることができる。この結果、各画素における表示電圧の保持特性を改善して、走査周期を長くできることによる低消費電力化や輝度変動の抑制による表示品位向上とともに、TFT素子の動作信頼性を向上することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態に従う液晶表示装置の全体構成を示すブロック図である。

【図2】 従来の技術に従う画素の第1の構成例を示す等価回路図である。

【図3】 従来の技術に従う画素の第2の構成例を示す等価回路図である。

【図4】 本発明の実施の形態1に従う画素の構成例を示す等価回路図である。

【図5】 図1に示されたゲート駆動回路中のゲート線電圧駆動部分の構成を示す概念図である。

【図6】 図4に示されたゲート駆動ユニットの具体的構成例を示す回路図である。

【図7】 本発明の実施の形態2に従う画素の構成例を示す等価回路図である。

【図8】 本発明の実施の形態3に従うゲート線ドライバの構成を説明する回路図である。

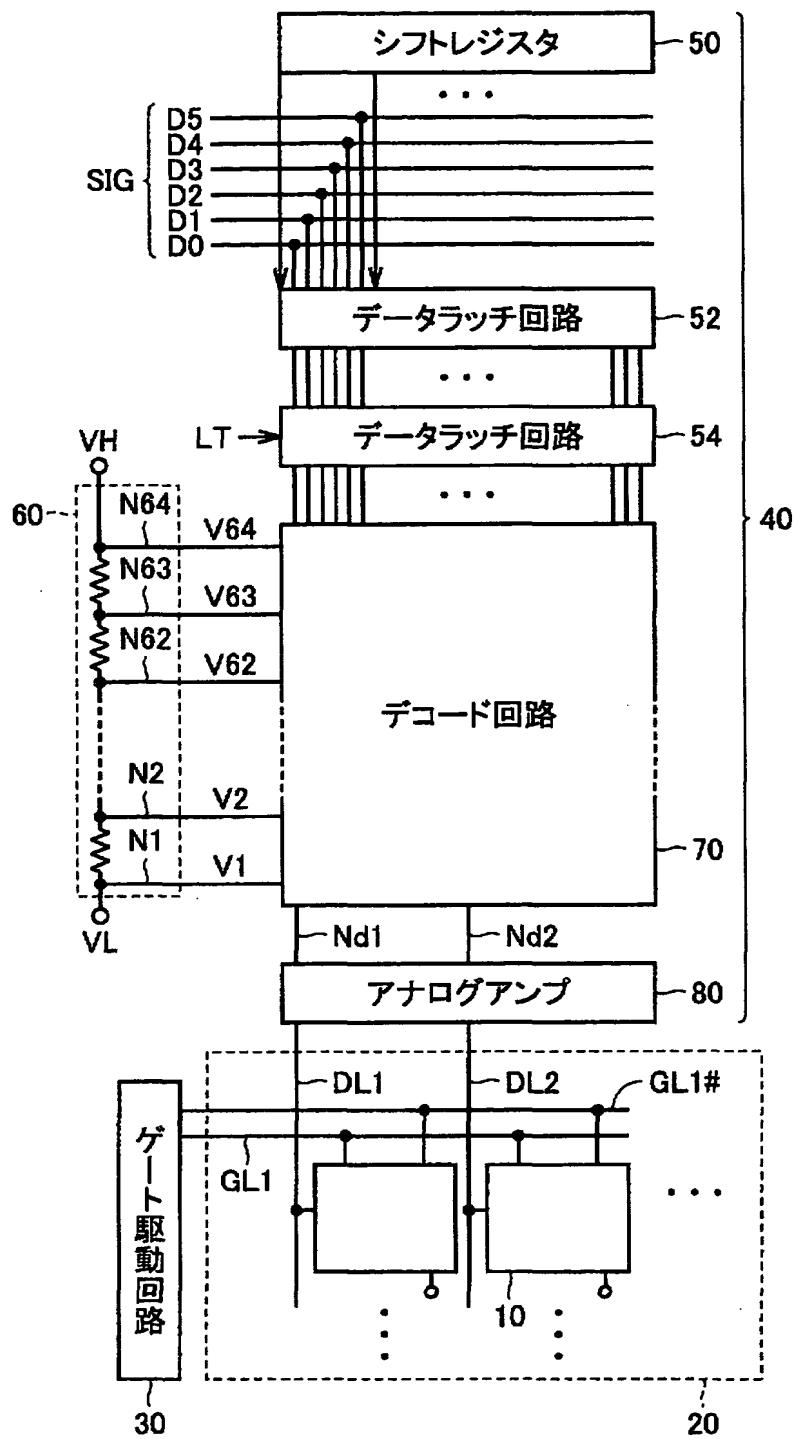
【符号の説明】

5 液晶表示装置、10, 11 画素、12 液晶素子、14 保持容量、16, 18, 19 TFT素子（画素内）、20 液晶アレイ部、30 ゲート駆動回路、40 ソース駆動回路、100 ゲート駆動ユニット、110, 120 ゲート線ドライバ、112, 114, 122, 124 TFT素子（ゲート線ドライバ内）、130 スイッチ回路、DL, DL1, DL2 データ線、GL, GL1 ゲート線（第1）、GL#, GL1# ゲート線（第2）、GSS ゲート線選択信号、MDS モード選択信号、Nc 対向電極ノード、Np 画素電極ノード。

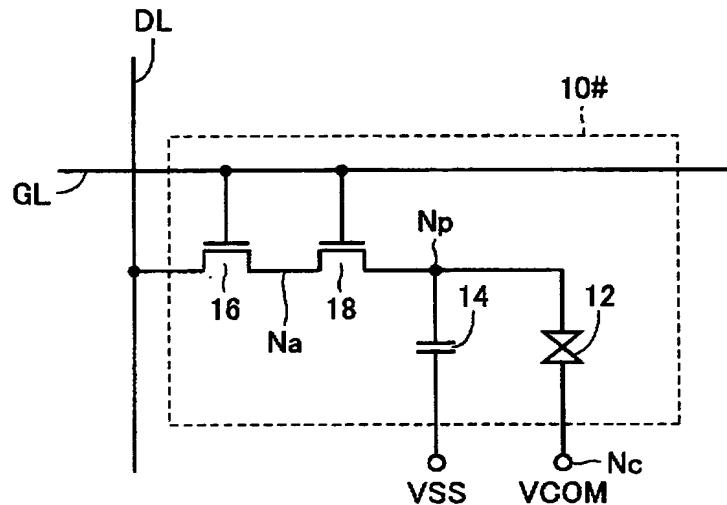
【書類名】 図面

【図1】

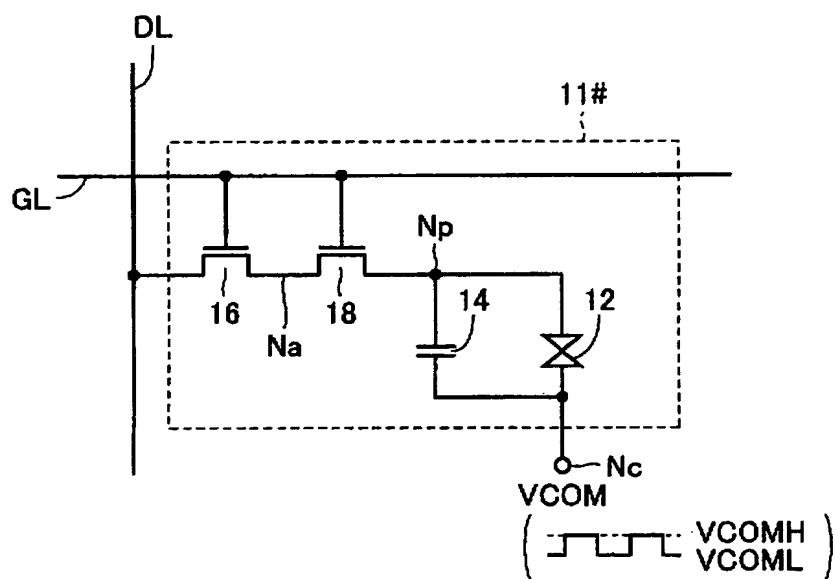
5



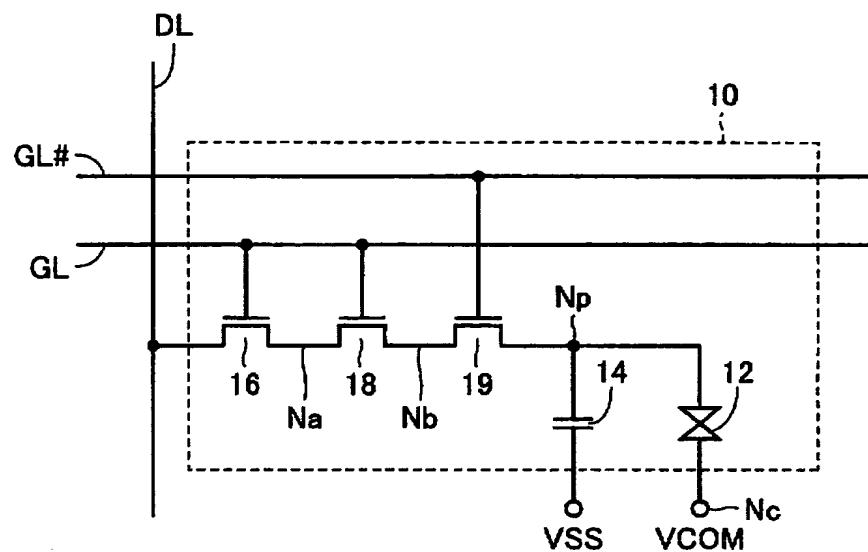
【図2】



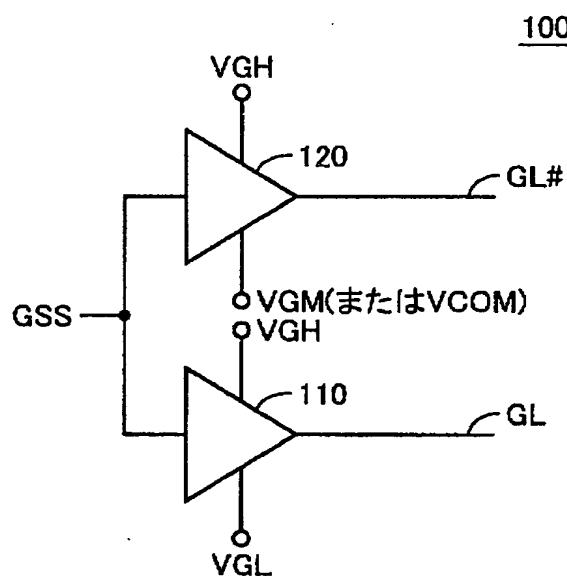
【図3】



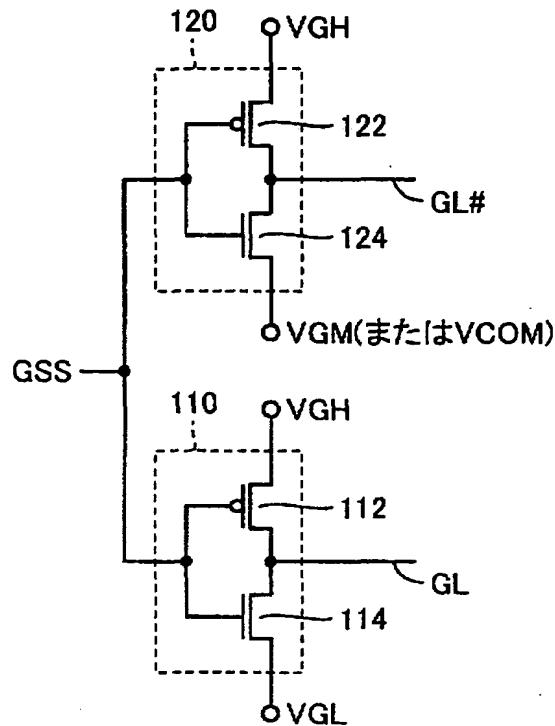
【図4】



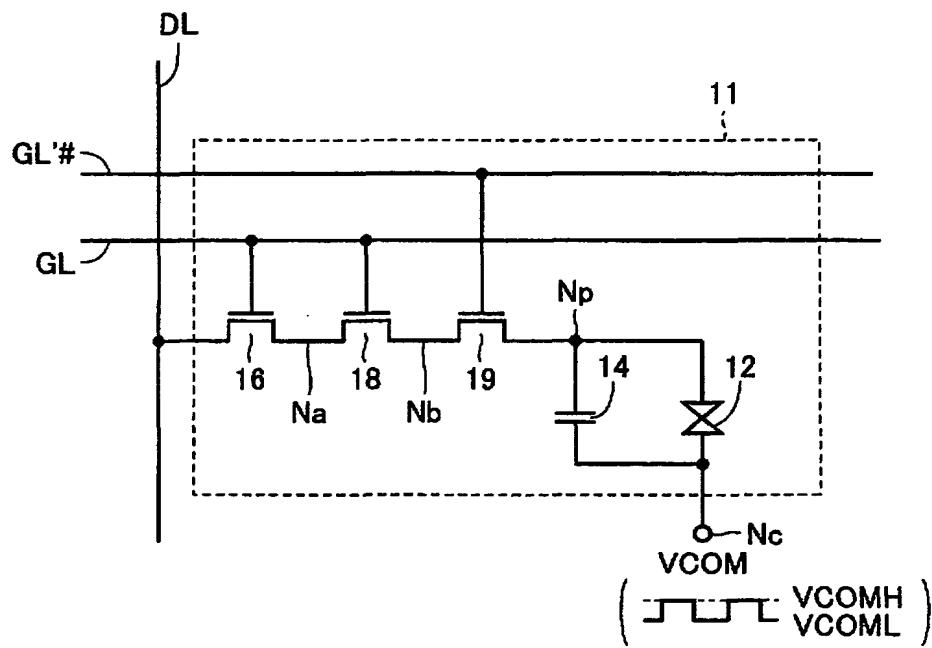
【図5】



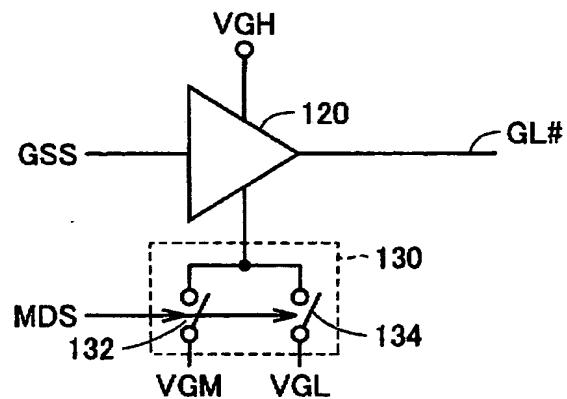
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 非走査期間（データ保持期間）におけるTFT素子のリーク電流抑制およびゲート絶縁膜の破壊防止を図った画素を備えた液晶表示装置を提供する。

【解決手段】 画素10は、データ線DLと画素電極ノードNpの間に直列に接続されたN型TFT素子16、18および19を有する。TFT素子16、18のゲートがゲート線GLと接続される一方で、TFT素子19のゲートは、ゲート線GL#と接続される。選択状態のゲート線GLおよびGL#の各々は、TFT素子16、18、19を十分ターンオン可能な高電圧に設定される。非選択状態のゲート線GLは、TFT素子16、18を十分ターンオフ可能な低電圧に設定され、非選択状態のゲート線GL#は、データ線DL上を伝達される最高電圧および最低電圧の中間電圧に設定される。

【選択図】 図4

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社